

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-186410

(43)Date of publication of application : 14.07.1998

(51)Int.CI.

G02F 1/136

G02F 1/1343

(21)Application number : 10-017190

(71)Applicant : HITACHI LTD

(22)Date of filing : 29.01.1998

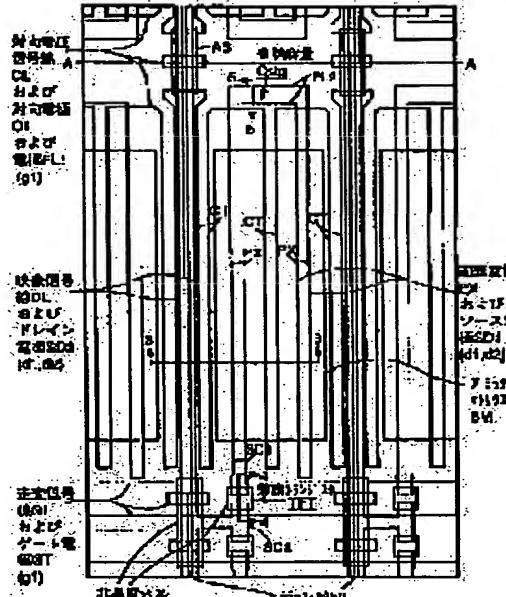
(72)Inventor : OTA MASUYUKI  
YANAGAWA KAZUHIKO  
ASHIZAWA KEIICHIRO  
MISHIMA YASUYUKI  
OGAWA KAZUHIRO  
OE MASATO  
KONDO KATSUMI  
YANAI MASAHIRO

## (54) LIQUID CRYSTAL DISPLAY DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To drive a liquid crystal display device with a low voltage and a low power consumption by allowing electrode width of shorter side of pixel electrodes to exceed the thickness of a liquid crystal composition layer and to be smaller than the interval between the pixel electrode and a video signal line.

**SOLUTION:** Each pixel is arranged ion the intersection area (in the area surrounded by four lines of signal lines) of a scanning signal line (a gate signal line or a horizontal signal line) GL, an counter voltage signal line (a counter electrode wiring) CL and adjacent two lines of video signal lines (a drain signal line or a cervical signal line) DL. Each pixel includes a thin film transistor TFT, a storage capacitance Cstg, pixel electrodes PX and counter electrodes CT. Electrode widths of the pixel electrodes PX and counter electrodes CT are respectively set to be sufficiently larger than values exceeding the maximum set thickness of a liquid crystal layer. Moreover, maximum values of electrode widths of respective electrodes PX, CT are made smaller than the interval between the pixel electrode PX and the counter electrode CT.



[Date of final disposal for application]  
[Patent number]  
[Date of registration]  
[Number of appeal against examiner's decision  
of rejection]  
[Date of requesting appeal against examiner's  
decision of rejection]  
[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-186410

(43)公開日 平成10年(1998)7月14日

(51)Int.Cl.\*

G 0 2 F 1/136  
1/1343

識別記号

5 0 0

F I

G 0 2 F 1/136  
1/1343

5 0 0

(21)出願番号 特願平10-17190  
(62)分割の表示 特願平9-156747の分割  
(22)出願日 平成8年(1996)1月25日

審査請求 未請求 請求項の数3 O.L. (全18頁)

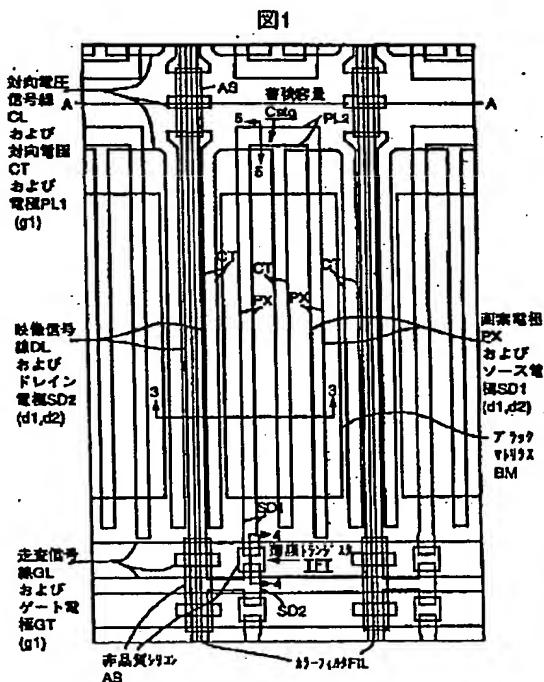
(71)出願人 000005108  
株式会社日立製作所  
東京都千代田区神田駿河台四丁目6番地  
(72)発明者 太田 益幸  
千葉県茂原市早野3300番地 株式会社日立  
製作所電子デバイス事業部内  
(72)発明者 柳川 和彦  
千葉県茂原市早野3300番地 株式会社日立  
製作所電子デバイス事業部内  
(72)発明者 芦沢 啓一郎  
千葉県茂原市早野3300番地 株式会社日立  
製作所電子デバイス事業部内  
(74)代理人 弁理士 秋田 収喜

最終頁に続く

(54)【発明の名称】 液晶表示装置

(57)【要約】

【課題】 低電圧かつ低消費電力で駆動できる。  
【解決手段】 液晶分子が捻れ回転可能な液晶組成物層と、前記液晶組成物層を挟持させる第1の基板と第2の基板と、前記第1の基板面に形成された映像信号線と、映像信号が前記映像信号線を介して印加される少なくとも一つの画素電極と、対向電極が印加される少なくとも一つの対向電極とが互いに対向して配置され、前記画素電極と対向電極の間に発生される電界成分によって液晶分子の捻れ量を制御する液晶表示装置において、前記画素電極の短手方向の電極幅が、前記液晶組成物層の厚みを越え、前記画素電極と前記映像信号線との間隔よりも小さい。



## 【特許請求の範囲】

【請求項1】 液晶分子が捻れ回転可能な液晶組成物層と、前記液晶組成物層を挟持させる第1の基板と第2の基板と、前記第1の基板面に形成された映像信号線と、映像信号が前記映像信号線を介して印加される少なくとも一つの画素電極と、対向電圧が印加される少なくとも一つの対向電極とが互いに対向して配置され、前記画素電極と対向電極との間に発生される電界成分によって液晶分子の捻れ量を制御する液晶表示装置において、前記画素電極の短手方向の電極幅が、前記液晶組成物層の厚みを越え、前記画素電極と前記映像信号線との間隔よりも小さいことを特徴とする液晶表示装置。

【請求項2】 前記液晶組成物層の液晶分子の初期配向方向を制御する配向膜を有し、前記初期配向方向が、前記一対の基板の両方でほぼ平行であることを特徴とする請求項1に記載の液晶表示装置。

【請求項3】 一対の偏光板を有し、前記一対の偏光板の一方の偏光透過軸は、前記液晶分子の初期配向方向と、ほぼ平行であり、他方の偏光透過軸は、前記液晶分子の初期配向方向とほぼ直交することを特徴とする請求項2に記載の液晶表示装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、液晶表示装置に係り、特に、薄膜トランジスタ等を使用したアクティブ・マトリクス方式の液晶表示装置に関する。

## 【0002】

【従来の技術】 薄膜トランジスタ(TFT)に代表されるアクティブ素子を用いたアクティブ・マトリクス型液晶表示装置は薄い、軽量という特徴とプラウン管に匹敵する高画質という点から、OA機器等の表示端末として広く普及し始めている。

【0003】 この液晶表示装置の表示方式には、大別して、次の2通りがある。一つは、透明電極が構成された2つの基板により液晶は挟み込み、透明電極に印加された電圧で動作させ、透明電極を透過し液晶に入射した光を変調して表示する方式であり、現在、普及している製品が全てこの方式を採用している。また、もう1つは、同一基板上に構成した2つの電極の間の基板面にほぼ平行な電界により液晶を動作させ、2つの電極の隙間から液晶に入射した光を変調して表示する方式であり、この方式を用いた製品はないが、視野角が著しく広いという特徴を持ち、アクティブ・マトリクス型液晶表示装置に関して有望な技術である。

【0004】 後者的方式の特徴に関しては、たとえば、特許出願公表平5-505247あるいは特公昭63-21907、特開平6-160878等の文献に記載さ

れている。

## 【0005】

【発明が解決しようとする課題】 しかし、このような構成からなる後者の液晶表示装置は、数千Å程度の薄膜電極を介して基板面にほぼ平行な電界を発生させるような構成となっていることから、液晶層内に電界を有効に発生させることができることが前者の場合と比較して困難となっている。

【0006】 このため、前者の場合よりも高い電界を電極間に発生させる必要が生じ、装置の消費電力の増大、駆動回路に高耐圧のLSIを用いる必要性を免れ得なかった。

【0007】 また、別の課題として、前者の方式ではコントラスト比を向上させるために、不要な光を透過する部分を被うブラックマトリクス(遮光膜)に透光性の良い金属材料を用いているが、これをそのまま後者に適用させた場合に、電極間の電界がブラックマトリクスに吸収されてしまい、電極間に有効な電界を発生させることができないという問題があった。

【0008】 また、別の課題として、前者の方式では映像信号線からの電界は、映像信号線を形成している基板と対向する基板のほぼ全面に形成された対向電極が吸収し、映像信号線からの電界が電極間の電界に影響を与えることはなかった。しかし、後者的方式では、映像信号線を形成している基板と対向する基板には電極は存在していないことから、映像信号線からの電界が電極間の電界に影響を及ぼしてしまい、他の行の映像情報も表示に影響を及ぼすクロストーク(特に画面の上下方向)が発生し、いわゆる縦スミアと称される筋状の映像が現れてしまうという問題があった。

【0009】 さらに、別の課題として、後者的方式では対向電極を線状に形成しなければならないため、対向電極の入力端から末端までの抵抗は前者の方式の対向電極が面状に形成される場合と比較して著しく高くなる。これにより、対向電圧が末端の画素まで十分伝達されず、対向電圧信号線が映像信号線と交差する部分の容量で対向電圧が映像信号に応じて歪むことによるクロストーク(特に画面の左右方向)が発生し、いわゆる横スミアと称される筋状の映像が現れてしまうという問題があつた。

【0010】 本発明は、このような事情に基づいてなされたものであり、その目的は、低電圧かつ低消費電力で駆動できるとともに、上述した弊害をなくした画質良好な液晶表示装置を提供することにある。

## 【0011】

【課題を解決するための手段】 本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0012】 すなわち、液晶分子が捻れ回転可能な液晶組成物層と、前記液晶組成物層を挟持させる第1の基板

と第2の基板と、前記第1の基板面に形成された映像信号線と、映像信号が前記映像信号線を介して印加される少なくとも一つの画素電極と、対向電圧が印加される少なくとも一つの対向電極とが互いに対向して配置され、前記画素電極と対向電極の間に発生される電界成分によって液晶分子の捻れ量を制御する液晶表示装置において、前記画素電極の短手方向の電極幅が、前記液晶組成物層の厚みを越え、前記画素電極と前記映像信号線との間隔よりも小さいことを特徴とするものである。

## 【0013】

【発明の実施の形態】本発明の更に他の目的及び本発明の更に他の特徴は図面を参照した以下の説明から明らかとなるであろう。

【0014】《アクティブ・マトリクス液晶表示装置》以下、アクティブ・マトリクス方式のカラー液晶表示装置に本発明を適用した実施例を説明する。なお、以下説明する図面で、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0015】《マトリクス部(画素部)の平面構成》図1は本発明のアクティブ・マトリクス方式カラー液晶表示装置の一画素とその周辺を示す平面図である。

【0016】図1に示すように、各画素は走査信号線(ゲート信号線または水平信号線)GLと、対向電圧信号線(対向電極配線)CLと、隣接する2本の映像信号線(ドレイン信号線または垂直信号線)DLとの交差領域内(4本の信号線で囲まれた領域内)に配置されている。各画素は薄膜トランジスタTFT、蓄積容量Cstg、画素電極PXおよび対向電極CTを含む。走査信号線GL、対向電圧信号線CLは図では左右方向に延在し、上下方向に複数本配置されている。映像信号線DLは上下方向に延在し、左右方向に複数本配置されている。画素電極PXは薄膜トランジスタTFTと接続され、対向電極CTは対向電圧信号線CLと一体になっていいる。

【0017】映像信号線DLに沿って上下に隣接する2画素では、図1A線で折曲げたとき、平面構成が重なり合う構成となっている。これは、対向電圧信号線CLを映像信号線DLに沿って上下に隣接する2画素で共通化し、対向電圧信号線CLの電極幅を拡大することにより、対向電圧信号線CLの抵抗を低減するためである。これにより、外部回路から左右方向の各画素の対向電極CTへ対向電圧を十分に供給することが容易になる。

【0018】画素電極PXと対向電極CTは互いに対向し、各画素電極PXと対向電極CTとの間の電界により液晶LCの光学的な状態を制御し、表示を制御する。画素電極PXと対向電極CTは歯状に構成され、それぞれ、図の上下方向に長細い電極となっている。

【0019】1画素内の対向電極CTの本数O(歯の本数)は、画素電極PXの本数(歯の本数)PとO=P+1の関係を必ず持つよう構成する(本実施例で

は、O=3、P=2)。これは、対向電極CTと画素電極PXを交互に配置し、かつ、対向電極CTを映像信号線DLに必ず隣接させるためである。これにより、対向電極CTと画素電極PXの間の電界が、映像信号線DLから発生する電界から影響を受けないように、対向電極CTで映像信号線DLからの電気力線をシールドすることができる。対向電極CTは、後述の対向電圧信号線CLにより常に外部から電位を供給されているため、電位は安定している。そのため、映像信号線DLに隣接しても、電位の変動がほとんどない。また、これにより、画素電極PXの映像信号線DLからの幾何学的な位置が遠くなるので、画素電極PXと映像信号線DLの間の寄生容量が大幅に減少し、画素電極電位Vsの映像信号電圧による変動も抑制できる。これらにより、上下方向に発生するクロストーク(縦スミアと呼ばれる画質不良)を抑制することができる。

【0020】画素電極PXと対向電極CTの電極幅Wp、Wcはそれぞれ6μmとし、後述の液晶層の最大設定厚みを超える4.5μmよりも十分大きく設定する。製造上の加工ばらつきを考慮すると20%以上のマージンを持つたほうが好ましいので、望ましくは5.4μmよりも十分大きくしたほうが良い。これにより、液晶層に印加される基板面に平行な電界成分が基板面に垂直な方向の電界成分よりも大きくなり、液晶を駆動する電圧の上昇を抑制することができる。また、各電極の電極幅Wp、Wcの最大値は、画素電極PXと対向電極CTの間の間隔Lよりも小さい事が好ましい。これは、電極の間隔の値が大きすぎると電気力線の弯曲が激しくなり、基板面に平行な電界成分よりも基板面に垂直な電界成分の方が大きい領域が増大するため、基板面に平行な電界成分を効率よく液晶層に印加できないからである。したがって、画素電極PXと対向電極CTの間の間隔Lはマージンを20%とすると7.2μmより大きい事が必要である。本実施例では、対角10.4インチ640×480ドットの解像度で構成したので、画素ピッチは110μmであり、画素を4分割とすることにより、間隔L>7.2μmを実現した。(画素を8分割以下にすることにより、間隔L>7.2μmを満足できる。一方、10分割以上の時、間隔Lは7μm以下となり、条件を満足しない。)また、映像信号線DLの電極幅は断線を防止するために、画素電極PXと対向電極CTに比較して若干広く8μmとし、映像信号線DLと対向電極CTとの間隔は短絡を防止するために1μmの間隔を開けた。ここで、映像信号線DLの電極幅が、隣接する対向電極CTの電極幅の2倍以下になるように設定する。または、映像信号線DLの電極幅が歩留りの生産性から決まっている場合には、映像信号線DLに隣接する対向電極CTの電極幅を映像信号線DLの電極幅の1/2以上にする。これは、映像信号線DLから発生する電気力線をそれぞれ両脇の対向電極CTで吸収するためであり、ある電極幅から発生する電気力

線を吸収するには、それと同一幅以上の電極幅を持つ電極が必要である。したがって、映像信号線D Lの電極の半分(4 μmずつ)から発生する電気力線をそれぞれ両脇の対向電極C Tが吸収すればよいため、映像信号線D Lに隣接する対向電極C Tの電極幅が1/2以上とする。これにより、映像信号の影響によるクロストーク、(特に上下方向(縦方向)のクロストーク)を防止する。

【0021】走査信号線G Lは末端側の画素(後述の走査電極端子G T Mの反対側)のゲート電極G Tに十分に走査電圧が印加するだけの抵抗値を満足するように電極幅を設定する。また、対向電圧信号線C Lも末端側の画素(後述の共通バスラインC Bの反対側)の対向電極C Tに十分に対向電圧が印加できるだけの抵抗値を満足するように電極幅を設定する。

【0022】一方、画素電極P Xと対向電極C Tの間の電極間隔は、用いる液晶材料によって変える。これは、液晶材料によって最大透過率を達成する電界強度が異なるため、電極間隔を液晶材料に応じて設定し、用いる映像信号駆動回路(信号側ドライバ)の耐圧で設定される。信号電圧の最大振幅の範囲で、最大透過率が得られるようにするためである。後述の液晶材料を用いると電極間隔は、16 μmとなる。

【0023】《マトリクス部(画素部)の断面構成》図2は図1の3-3切断線における断面を示す図、図3は図1の4-4切断線における薄膜トランジスタTFTの断面図、図4は図1の5-5切断線における蓄積容量C stgの断面を示す図である。図2～図4に示すように、液晶層L Cを基準にして下部透明ガラス基板S U B 1側には薄膜トランジスタTFT、蓄積容量C stgおよび電極群が形成され、上部透明ガラス基板S U B 2側にはカラーフィルタF I L、遮光用ブラックマトリクスピターンB Mが形成されている。

【0024】また、透明ガラス基板S U B 1、S U B 2のそれぞれの内側(液晶L C側)の表面には、液晶の初期配向を制御する配向膜O R I 1、O R I 2が設けられており、透明ガラス基板S U B 1、S U B 2のそれぞれの外側の表面には、偏光軸が直交して配置された(クロスニコル配置)偏光板が設けられている。

【0025】《TFT基板》まず、下側透明ガラス基板S U B 1側(TFT基板)の構成を詳しく説明する。

【0026】《薄膜トランジスタTFT》薄膜トランジスタTFTは、ゲート電極G Tに正のバイアスを印加すると、ソースードレイン間のチャネル抵抗が小さくなり、バイアスを零にすると、チャネル抵抗は大きくなるよう動作する。

【0027】薄膜トランジスタTFTは、図3に示すように、ゲート電極G T、ゲート絶縁膜G I、i型(真性、intrinsic、導電型決定不純物がドープされていない)非晶質シリコン(Si)からなるi型半導体層A

S、一对のソース電極S D 1、ドレイン電極S D 2を有す。なお、ソース、ドレインは本来その間のバイアス極性によって決まるもので、この液晶表示装置の回路ではその極性は動作中反転するので、ソース、ドレインは動作中入れ替わると理解されたい。しかし、以下の説明では、便宜上一方をソース、他方をドレインと固定して表現する。

【0028】《ゲート電極G T》ゲート電極G Tは走査信号線G Lと連続して形成されており、走査信号線G Lの一部の領域がゲート電極G Tとなるように構成されている。ゲート電極G Tは薄膜トランジスタTFTの能動領域を超える部分であり、i型半導体層A Sを完全に覆うよう(下方からみて)それより大きめに形成されている。これにより、ゲート電極G Tの役割のほかに、i型半導体層A Sに外光やバックライト光が当たらないよう工夫されている。本例では、ゲート電極G Tは、単層の導電膜g 1で形成されている。導電膜g 1としては例えばスパッタで形成されたアルミニウム(A1)膜が用いられ、その上にはA1の陽極酸化膜A O Fが設けられている。

【0029】《走査信号線G L》走査信号線G Lは導電膜g 1で構成されている。この走査信号線G Lの導電膜g 1はゲート電極G Tの導電膜g 1と同一製造工程で形成され、かつ一体に構成されている。この走査信号線G Lにより、外部回路からゲート電圧V gをゲート電極G Tに供給する。また、走査信号線G L上にもA1の陽極酸化膜A O Fが設けられている。なお、映像信号線D Lと交差する部分は映像信号線D Lとの短絡の確率を小さくするため細くし、また、短絡しても、レーザートリミングで切り離すことができるよう二股にしている。

【0030】《対向電極C T》対向電極C Tはゲート電極G Tおよび走査信号線G Lと同層の導電膜g 1で構成されている。また、対向電極C T上にもA1の陽極酸化膜A O Fが設けられている。対向電極C Tは、陽極酸化膜A O Fで完全に覆われていることから、映像信号線と限りなく近づけても、それらが短絡してしまうことがなくなる。また、それらを交差させて構成させることもできる。対向電極C Tには対向電圧V comが印加されるように構成されている。本実施例では、対向電圧V comは映像信号線D Lに印加される最小レベルの駆動電圧V d minと最大レベルの駆動電圧V d maxとの中間直流電位から、薄膜トランジスタ素子TFTをオフ状態にするときに発生するフィードスルー電圧△V s分だけ低い電位に設定されるが、映像信号駆動回路で使用される集積回路の電源電圧を約半分に低減したい場合は、交流電圧を印加すれば良い。

【0031】《対向電圧信号線C L》対向電圧信号線C Lは導電膜g 1で構成されている。この対向電圧信号線C Lの導電膜g 1はゲート電極G T、走査信号線G Lおよび対向電極C Tの導電膜g 1と同一製造工程で形成さ

れ、かつ対向電極C Tと一体に構成されている。この対向電圧信号線CLにより、外部回路から対向電圧V comを対向電極C Tに供給する。また、対向電圧信号線CL上にもA1の陽極酸化膜A OFが設けられている。なお、映像信号線DLと交差する部分は、走査信号線GLと同様に映像信号線DLとの短絡の確率を小さくするために細くし、また、短絡しても、レーザートリミングで切り離すことができるよう二股にしている。

【0032】《絶縁膜GI》絶縁膜GIは、薄膜トランジスタTFTにおいて、ゲート電極GTと共に半導体層ASに電界を与えるためのゲート絶縁膜として使用される。絶縁膜GIはゲート電極GTおよび走査信号線GLの上層に形成されている。絶縁膜GIとしては例えばプラズマCVDで形成された窒化シリコン膜が選ばれ、 $1200\sim2700\text{ \AA}$ の厚さに(本実施例では、 $2400\text{ \AA}$ 程度)形成される。ゲート絶縁膜GIは、マトリクス部ARの全体を囲むように形成され、周辺部は外部接続端子DT M, GT Mを露出するよう除去されている。絶縁膜GIは走査信号線GLおよび対向電圧信号線CLと映像信号線DLの電気的絶縁にも寄与している。

【0033】《i型半導体層AS》i型半導体層ASは、非晶質シリコンで、 $200\sim2200\text{ \AA}$ の厚さに(本実施例では、 $2000\text{ \AA}$ 程度の膜厚)で形成される。層d 0はオーミックコンタクト用のリン(P)をドープしたN(+)型非晶質シリコン半導体層であり、下側にi型半導体層ASが存在し、上側に導電層d 1(d 2)が存在するところのみに残されている。

【0034】i型半導体層ASは走査信号線GLおよび対向電圧信号線CLと映像信号線DLとの交差部(クロスオーバ部)の両者間にも設けられている。この交差部のi型半導体層ASは交差部における走査信号線GLおよび対向電圧信号線CLと映像信号線DLとの短絡を低減する。

【0035】《ソース電極S D 1、ドレイン電極S D 2》ソース電極S D 1、ドレイン電極S D 2のそれぞれは、N(+)型半導体層d 0に接触する導電膜d 1とその上に形成された導電膜d 2とから構成されている。

【0036】導電膜d 1はスパッタで形成したクロム(Cr)膜を用い、 $500\sim1000\text{ \AA}$ の厚さに(本実施例では、 $600\text{ \AA}$ 程度)で形成される。Cr膜は膜厚を厚く形成するとストレスが大きくなるので、 $2000\text{ \AA}$ 程度の膜厚を越えない範囲で形成する。Cr膜はN(+)型半導体層d 0との接着性を良好にし、導電膜d 2のA1がN(+)型半導体層d 0に拡散することを防止する(いわゆるバリア層)目的で使用される。導電膜d 1として、Cr膜の他に高融点金属(Mo, Ti, Ta, W)膜、高融点金属シリサイド(Mo Si<sub>2</sub>, Ti Si<sub>2</sub>, Ta Si<sub>2</sub>, WSi<sub>2</sub>)膜を用いてもよい。

【0037】導電膜d 2はA1のスパッタリングで $300\sim5000\text{ \AA}$ の厚さに(本実施例では、 $4000\text{ \AA}$

程度)形成される。A1膜はCr膜に比べてストレスが小さく、厚い膜厚に形成することが可能で、ソース電極S D 1、ドレイン電極S D 2および映像信号線DLの抵抗値を低減したり、ゲート電極GTやi型半導体層ASに起因する段差乗り越えを確実にする(ステップカバーレッジを良くする)働きがある。

【0038】導電膜d 1、導電膜d 2と同じマスクパターンでパターニングした後、同じマスクを用いて、あるいは導電膜d 1、導電膜d 2をマスクとして、N(+)型半導体層d 0が除去される。つまり、i型半導体層AS上に残っていたN(+)型半導体層d 0は導電膜d 1、導電膜d 2以外の部分がセルファラインで除去される。このとき、N(+)型半導体層d 0はその厚さ分は全て除去されるようエッチングされるので、i型半導体層ASも若干その表面部分がエッチングされるが、その程度はエッチング時間で制御すればよい。

【0039】《映像信号線DL》映像信号線DLはソース電極S D 1、ドレイン電極S D 2と同層の第2導電膜d 2、第3導電膜d 3で構成されている。また、映像信号線DLはドレイン電極S D 2と一体に形成されている。

【0040】《画素電極P X》画素電極P Xはソース電極S D 1、ドレイン電極S D 2と同層の第2導電膜d 2、第3導電膜d 3で構成されている。また、画素電極P Xはソース電極S D 1と一体に形成されている。

【0041】《蓄積容量C stg》画素電極P Xは、薄膜トランジスタTFTと接続される端部と反対側の端部において、対向電圧信号線CLと重なるように形成されている。この重ね合わせは、図4からも明らかのように、画素電極P Xを一方の電極P L 2とし、対向電圧信号線CLを他方の電極P L 1とする蓄積容量(静電容量素子)C stgを構成する。この蓄積容量C stgの誘電体膜は、薄膜トランジスタTFTのゲート絶縁膜として使用される絶縁膜GIおよび陽極酸化膜A OFで構成されている。

【0042】図1に示すように平面的には蓄積容量C stgは対向電圧信号線CLの導電膜g 1の幅を広げた部分に形成されている。

【0043】この場合、この蓄積容量C stgは、その絶縁膜GIに対して下側に位置づけられる電極の材料がA1で形成され、かつ、その表面が陽極化成されたものであることから、A1のいわゆるホイスカ等が原因する点欠陥(上側に位置づけられる電極との短絡)による弊害を発生しにくくする蓄積容量を得ることができる。

【0044】《保護膜P S V 1》薄膜トランジスタTFT上には保護膜P S V 1が設けられている。保護膜P S V 1は主に薄膜トランジスタTFTを湿気等から保護するために形成されており、透明性が高くしかも耐湿性の良いものを使用する。保護膜P S V 1はたとえばプラズマCVD装置で形成した酸化シリコン膜や窒化シリコン膜で形成されており、 $1\mu\text{m}$ 程度の膜厚で形成する。

【0045】保護膜P SV1は、マトリクス部ARの全体を囲むように形成され、周辺部は外部接続端子DT M, GT Mを露出するよう除去されている。保護膜P SV1とゲート絶縁膜GIの厚さ関係に関しては、前者は保護効果を考え厚くされ、後者はトランジスタの相互コンダクタンスg mを薄くされる。従って、保護効果の高い保護膜P SV1は周辺部もできるだけ広い範囲に亘って保護するようゲート絶縁膜GIよりも大きく形成されている。

【0046】《カラーフィルタ基板》次に、図1、図2に戻り、上側透明ガラス基板SUB2側(カラーフィルタ基板)の構成を詳しく説明する。

【0047】《遮光膜BM》上部透明ガラス基板SUB2側には、不要な間隙部(画素電極PXと対向電極CTの間以外の隙間)からの透過光が表示面側に出射して、コントラスト比等を低下させないように遮光膜BM(いわゆるブラックマトリクス)を形成している。遮光膜BMは、外部光またはバックライト光がi型半導体層ASに入射しないようにする役割も果たしている。すなわち、薄膜トランジスタTFTのi型半導体層ASは上下にある遮光膜BMおよび大きめのゲート電極GTによってサンドイッチにされ、外部の自然光やバックライト光が当たらなくなる。

【0048】図1に示す遮光膜BMの閉じた多角形の輪郭線は、その内側が遮光膜BMが形成されない開口を示している。この輪郭線のパターンは、1例であり、より開口部分を大きくする場合には、図19の様にすることもできる。図19中のAの領域は電界方向が乱れるが、その部分の表示は、画素内の映像情報に1対1で対応し、かつ、黒の場合には黒、白の場合には白になるため、表示の一部として利用することが可能である。また、図の上下方向の境界線は上下基板の合わせ精度によって決まり、合わせ精度が映像信号線DLに隣接する対向電極CTの電極幅よりも良い場合には、対向電極の幅の間に設定すれば、より開口部を拡大することができる。

【0049】遮光膜BMは光に対する遮蔽性を有し、かつ、画素電極PXと対向電極CTの間の電界に影響を与えないように絶縁性の高い膜で形成されている。このようにすることにより、基板面に平行な電界が有効に液晶層に印加され、液晶を駆動する電圧の上昇を抑制できる。この遮光膜BMの材料として、たとえば、黒色の顔料をレジスト材に混入したものを用い、1.2 μm程度の厚さで形成している。また、他の実施例として、パラジウムおよび無電解メッキしたNiをレジスト材に混入させたものも使用することができる。

【0050】そして、このようにした場合、画素電極PXと対向電極CTとの間隔をある程度大きくすることができるので、開口率の向上が図れるという効果も奏する。

【0051】遮光膜BMは各画素の周囲に格子状に形成され、この格子で1画素の有効表示領域が仕切られている。従って、各画素の輪郭が遮光膜BMによって明確になる。つまり、遮光膜BMはブラックマトリクスとi型半導体層ASに対する遮光との2つの機能をもつ。

【0052】遮光膜BMは周辺部にも額縁状に形成され、そのパターンはドット状に複数の開口を設けた図1に示すマトリクス部のパターンと連続して形成されている。周辺部の遮光膜BMは、シール部SLの外側に延長され、パソコン等の実装機に起因する反射光等の漏れ光がマトリクス部に入り込むのを防いでいる。他方、この遮光膜BMは基板SUB2の縁よりも約0.3~1.0 mm程内側に留められ、基板SUB2の切断領域を避けて形成されている。

【0053】《カラーフィルタFIL》カラーフィルタFILは画素に対向する位置に赤、緑、青の繰り返しでストライプ状に形成される。カラーフィルタFILは遮光膜BMのエッジ部分と重なるように形成されている。

【0054】カラーフィルタFILは次のように形成することができる。まず、上部透明ガラス基板SUB2の表面にアクリル系樹脂等の染色基材を形成し、フォトリソグラフィ技術で赤色フィルタ形成領域以外の染色基材を除去する。この後、染色基材を赤色染料で染め、固着処理を施し、赤色フィルタRを形成する。つぎに、同様な工程を施すことによって、緑色フィルタG、青色フィルタBを順次形成する。

【0055】《オーバーコート膜OC》オーバーコート膜OCはカラーフィルタFILの染料の液晶LCへの漏洩の防止、および、カラーフィルタFIL、遮光膜BMによる段差の平坦化のために設けられている。オーバーコート膜OCはたとえばアクリル樹脂、エポキシ樹脂等の透明樹脂材料で形成されている。

【0056】《液晶層および偏光板》次に、液晶層、配向膜、偏光板等について説明する。

【0057】《液晶層》液晶材料LCとしては、誘電率異方性 $\Delta\epsilon$ が正でその値が1.3~2、屈折率異方性 $\Delta n$ が0.081(589 nm, 20°C)のネマティック液晶と、誘電率異方性 $\Delta\epsilon$ が負でその値が-7.3、屈折率異方性 $\Delta n$ が0.053(589 nm, 20°C)のネマティック液晶を用いた。液晶層の厚み(ギャップ)は、誘電率異方性 $\Delta\epsilon$ が正の場合2.8 μm超4.5 μm未満とした。これは、リターンショット $\Delta n \cdot d$ は0.25 μm超0.32 μm未満の時、可視光の範囲内で波長依存性がほとんどない透過率特性を得られ、誘電率異方性 $\Delta\epsilon$ が正を有する液晶の大部分が複屈折異方性 $\Delta n$ が0.07超0.09未満であるためである。一方、誘電率異方性 $\Delta\epsilon$ が負の場合は、液晶層の厚み(ギャップ)は、4.2 μm超8.0 μm未満とした。これは誘電率異方性 $\Delta\epsilon$ が正の液晶と同様に、リターンショット $\Delta n \cdot d$ は0.25 μm超0.32 μm未満に抑えるためで、誘電率異方性 $\Delta\epsilon$ が負を

有する液晶の大部分が複屈折異方性 $\Delta n$ が0.04超0.06未満であるためである。

【0058】また、後述の配向膜と偏光板との組み合せにより、液晶分子がラビング方向から電界方向に45°回転したとき最大透過率を得ることができる。

【0059】なお、液晶層の厚み(ギャップ)は、ポリマビーズで制御している。

【0060】なお、液晶材料LCは、ネマチック液晶であれば、特に限定したものではない。また、誘電率異方性 $\Delta \epsilon$ は、その値が大きいほうが、駆動電圧が低減できる。また、屈折率異方性 $\Delta n$ は小さいほうが、液晶層の厚み(ギャップ)を厚くでき、液晶の封入時間が短縮され、かつギャップばらつきを少なくすることができる。

【0061】《配向膜》配向膜ORIとしては、ポリイミドを用いる。ラビング方向RDRは上下基板で互いに平行にし、かつ印加電界方向EDRとのなす角度は75°とする。図20にその関係を示す。

【0062】なお、ラビング方向RDRと印加電界方向EDRとのなす角度は、液晶材料の誘電率異方性 $\Delta \epsilon$ が正であれば、45°C以上90°C未満、誘電率異方性 $\Delta \epsilon$ が負であれば、0°を超える。以下であれば良い。

【0063】《偏光板》偏光板POLとしては、日東電工社製G1220DUを用い、下側の偏光板POL1の偏光透過軸MAX1をラビング方向RDRと一致させ、上側の偏光板POL2の偏光透過軸MAX2を、それに直交させる。図20にその関係を示す。これにより、本発明の画素に印加される電圧(画素電極PXと対向電極CTの間の電圧)を増加させるに伴い、透過率が上昇するノーマリクローズ特性を得ることができる。

【0064】《マトリクス周辺の構成》図5は上下のガラス基板SUB1、SUB2を含む表示パネルPNLのマトリクス(AR)周辺の要部平面を示す図である。また、図6は、左側に走査回路が接続されるべき外部接続端子GTM付近の断面を、右側に外部接続端子がないところのシール部付近の断面を示す図である。

【0065】このパネルの製造では、小さいサイズであればスループット向上のため1枚のガラス基板で複数個分のデバイスを同時に加工してから分割し、大きいサイズであれば製造設備の共用のためどの品種でも標準化された大きさのガラス基板を加工してから各品種に合ったサイズに小さくし、いずれの場合も一通りの工程を経てからガラスを切断する。図5、図6は後者の例を示すもので、図5、図6の両図とも上下基板SUB1、SUB2の切断後を表しており、LNは両基板の切断前の縁を示す。いずれの場合も、完成状態では外部接続端子群Tg、Tdおよび端子CTMが存在する(図で上辺と左辺の)部分はそれらを露出するように上側基板SUB2の大きさが下側基板SUB1よりも内側に制限されている。端子群Tg、Tdはそれぞれ後述する走査回路接続用端子GTM、映像信号回路接続用端子DTMとそれら

の引出配線部を集積回路チップCHIが搭載されたテーブキャリアパッケージTCP(図16、図17)の単位に複数本まとめて名付けたものである。各群のマトリクス部から外部接続端子部に至るまでの引出配線は、両端に近づくにつれ傾斜している。これは、パッケージTCPの配列ピッチ及び各パッケージTCPにおける接続端子ピッチに表示パネルPNLの端子DTM、GTMを合わせるためにある。また、対向電極端子CTMは、対向電極CTに対向電圧を外部回路から与えるための端子である。マトリクス部の対向電極信号線CLは、走査回路用端子GTMの反対側(図では右側)に引き出し、各対向電圧信号線を共通バスラインCBで一総めにして、対向電極端子CTMに接続している。

【0066】透明ガラス基板SUB1、SUB2の間にそな縁に沿って、液晶封入部INJを除き、液晶LCを封止するようにシールパターンSLが形成される。シール材は例えばエポキシ樹脂から成る。

【0067】配向膜ORI1、ORI2の層は、シールパターンSLの内側に形成される。偏光板POL1、POL2はそれぞれ下部透明ガラス基板SUB1、上部透明ガラス基板SUB2の外側の表面に構成されている。液晶LCは液晶分子の向きを設定する下部配向膜ORI1と上部配向膜ORI2との間でシールパターンSLで仕切られた領域に封入されている。下部配向膜ORI1は下部透明ガラス基板SUB1側の保護膜PSV1の上部に形成される。

【0068】この液晶表示装置は、下部透明ガラス基板SUB1側、上部透明ガラス基板SUB2側で別個に種々の層を積み重ね、シールパターンSLを基板SUB2側に形成し、下部透明ガラス基板SUB1と上部透明ガラス基板SUB2とを重ね合わせ、シール材SLの開口部INJから液晶LCを注入し、注入部INJをエポキシ樹脂などで封止し、上下基板を切断することによって組み立てられる。

【0069】《ゲート端子部》図7は表示マトリクスの走査信号線GLからその外部接続端子GTMまでの接続構造を示す図であり、(A)は平面であり(B)は(A)のB-B切断線における断面を示している。なお、同図は図7下方付近に対応し、斜め配線の部分は便宜状一直線状で表した。

【0070】AOはホトレジスト直接描画の境界線、言い換えれば選択的陽極酸化のホトレジストパターンである。従って、このホトレジストは陽極酸化後除去され、図に示すパターンAOは完成品としては残らないが、ゲート配線GLには断面図に示すように酸化膜AOFが選択的に形成されるのでその軌跡が残る。平面図において、ホトレジストの境界線AOを基準にして左側はレジストで覆い陽極酸化をしない領域、右側はレジストから露出され陽極酸化される領域である。陽極酸化されたAL層g1は表面にその酸化物Al<sub>2</sub>O<sub>3</sub>膜AOFが形成さ

れ下方の導電部は体積が減少する。勿論、陽極酸化はその導電部が残るよう適切な時間、電圧などを設定して行われる。

【0071】図中AL層g1は、判り易くするためハッチを施してあるが、陽極化成されない領域は樹状にパターニングされている。これは、A1層の幅が広いと表面にホイスカが発生するので、1本1本の幅は狭くし、それらを複数本並列に束ねた構成とすることにより、ホイスカの発生を防ぎつつ、断線の確率や導電率の犠牲を最低限に押さえる狙いである。

【0072】ゲート端子GTMはA1層g1と、更にその表面を保護し、かつ、TCP(Tape Carrier Package)との接続の信頼性を向上させるための透明導電層g2とで構成されている。この透明導電膜g2はスパッタリングで形成された透明導電膜(Indium-Tin-Oxide ITO:ネサ膜)からなり、1000~2000Åの厚さに(本実施例では、1400Å程度の膜厚)形成される。またA1層g1上及びその側面部に形成された導電層d1及びd2は、A1層と透明導電層g2との接続不良を補うために、A1層と透明導電層g2の両方に接続性の良いCr層d1を接続し、接続抵抗の低減を図るためにものであり、導電層d2は導電層d1と同一マスク形成しているために残っているものである。

【0073】平面図において、ゲート絶縁膜GIはその境界線よりも右側に、保護膜PSV1もその境界線よりも右側に形成されており、左端に位置する端子部GTMはそれらから露出し外部回路との電気的接触ができるようになっている。図では、ゲート線GLとゲート端子の一つの対のみが示されているが、実際はこのような対が図7に示すように上下に複数本並べられた端子群Tg(図5)が構成され、ゲート端子の左端は、製造過程では、基板の切断領域を越えて延長され配線SHg(図示せず)によって短絡される。製造過程におけるこのような短絡線SHgは陽極化成時の給電と、配向膜ORI1のラピング時等の静電破壊防止に役立つ。

【0074】《ドレイン端子DTM》図8は映像信号線DLからその外部接続端子DTMまでの接続を示す図であり、(A)はその平面を示し、(B)は(A)のB-B切断線における断面を示す。なお、同図は図5右上付近に対応し、図面の向きは便宜上変えてあるが右端方向が基板SUB1の上端部に該当する。

【0075】TSTDは検査端子でありここには外部回路は接続されないが、プローブ針等を接触できるよう配線部より幅が広げられている。同様に、ドレイン端子DTMも外部回路との接続ができるよう配線部より幅が広げられている。外部接続ドレイン端子DTMは上下方向に配列され、ドレイン端子DTMは、図5に示すように端子群Td(添字省略)を構成し基板SUB1の切断線を越えて更に延長され、製造過程中は静電破壊防止のた

めその全てが互いに配線SHd(図示せず)によって短絡される。検査端子TSTDは図8に示すように一本置きの映像信号線DLに形成される。

【0076】ドレイン接続端子DTMは透明導電層g2単層で形成されており、ゲート絶縁膜GIを除去した部分で映像信号線DLと接続されている。ゲート絶縁膜GIの端部上に形成された半導体層ASはゲート絶縁膜GIの縁をテーパ状にエッキングするためのものである。端子DTM上では外部回路との接続を行うため保護膜PSV1は勿論のこと取り除かれている。

【0077】マトリクス部からドレイン端子部DTMまでの引出配線は、映像信号線DLと同じレベルの層d1, d2が保護膜PSV1の途中まで構成されており、保護膜PSV1の中で透明導電膜g2と接続されている。これは、電触し易いA1層d2を保護膜PSV1やシールバーンSLでできるだけ保護する狙いである。

【0078】《対向電極端子CTM》図9は対向電極信号線CLからその外部接続端子CTMまでの接続を示す図であり、(A)はその平面を示し、(B)は(A)のB-B切断線における断面を示す。なお、同図は図5左上付近に対応する。

【0079】各対向電圧信号線CLは共通バスラインCBで一総めして対向電極端子CTMに引き出されている。共通バスラインCBは導電層g1の上に導電層d1、導電層d2を積層した構造となっている。これは、共通バスラインCBの抵抗を低減し、対向電圧が外部回路から各対向電圧信号線CLに十分に供給されるようにするためである。これにより、対向電極CTが末端の画面まで充分に伝達され、これら各対向電極CTの映像信号線DLに供給される映像信号に応じた歪みによるクロストーク(特に画面の左右方向のクロストーク)の発生を低減できる。本構造では、特に新たに導電層を負荷することなく、共通バスラインの抵抗を下げられるのが特徴である。共通バスラインCBの導電層g1は導電層d1、導電層d2と電気的に接続されるように、陽極化成はされていない。また、ゲート絶縁膜GIからも露出している。

【0080】対向電極端子CTMは、導電層g1の上に透明導電層g2が積層された構造になっている。透明導電層g2により、その表面を保護し、電触等を防ぐために耐久性のよい透明導電層g2で、導電層g1を覆っている。

【0081】なお、上述した実施例では、共通バスラインCB上に導電層d1および導電層d2が積層されている構成としたものであるが、必ずしもこれらの導電層に限定されることはない。この場合においても共通バスラインCBの抵抗の低減化が図れるからである。

【0082】《表示装置全体等価回路》表示マトリクス部の等価回路とその周辺回路の結線図を図10に示す。同図は回路図ではあるが、実際の幾何学的配置に対応し

て描かれている。ARは複数の画素を二次元状に配列したマトリクス・アレイである。

【0083】図中、Xは映像信号線DLを意味し、添字G、BおよびRがそれぞれ緑、青および赤画素に対応して付加されている。Yは走査信号線GLを意味し、添字1, 2, 3, …, endは走査タイミングの順序に従って付加されている。

【0084】走査信号線Y(添字省略)は垂直走査回路Vに接続されており、映像信号線X(添字省略)は映像信号駆動回路Hに接続されている。

【0085】SUPは1つの電圧源から複数の分圧した安定化された電圧源を得るための電源回路やホスト(上位演算処理装置)からのCRT(陰極線管)用の情報を TFT液晶表示装置用の情報に交換する回路を含む回路である。

【0086】《駆動方法》図11に本発明の液晶表示装置の駆動波形を示す。対向電圧をVchとVclの2値の交流矩形波にし、それに同期させて走査信号Vg(I-I)、Vg(I)の非選択電圧を1走査期間ごとに、VghとVgIIの2値で変化させる。対向電圧の振幅値と非選択電圧の振幅値は同一にする。映像信号電圧は、液晶層に印加したい電圧から、対向電圧の振幅の1/2を差し引いた電圧である。

【0087】対向電圧は直流でもよいが、交流化することで映像信号電圧の最大振幅を低減でき、映像信号駆動回路(信号側ドライバ)に耐圧の低いものを用いることが可能になる。

【0088】《蓄積容量Cstgの働き》蓄積容量Cstgは、画素に書き込まれた(薄膜トランジスタTFTがオフした後の)映像情報を、長く蓄積するために設ける。本発明で用いている電界を基板面と平行に印加する方式では、電界を基板面に垂直に印加する方式と異なり、画素電極と対向電極で構成される容量(いわゆる液晶容量)がほとんど無いため、蓄積容量Cstgが映像情報を画素に蓄積することができない。したがって、電界を基板面と平行に印加する方式では、蓄積容量Cstgは必須の構成要素である。

【0089】また、蓄積容量Cstgは、薄膜トランジスタTFTがスイッチングするとき、画素電極電位Vsに対するゲート電位変化ΔVgの影響を低減するようにも働く。この様子を式で表すと、次のようになる。

【0090】

$$\Delta V_s = \{C_{gs}/(C_{gs} + C_{stg} + C_{pix})\} \times \Delta V_g$$

ここで、Cgsは薄膜トランジスタTFTのゲート電極Gとソース電極S D1との間に形成される寄生容量、Cpixは画素電極P Xと対向電極C Tとの間に形成される容量、 $\Delta V_s$ は $\Delta V_g$ による画素電極電位の変化分(いわゆるフィードスルー電圧)を表す。この変化分 $\Delta V_s$ は液晶LCに加わる直流成分の原因となるが、保持容量Cstg

を大きくすればする程、その値を小さくすることができます。液晶LCに印加される直流成分の低減は、液晶LCの寿命を向上し、液晶表示画面の切り替え時に前の画像が残るいわゆる焼き付きを低減することができる。

【0091】前述したように、ゲート電極GTはI型半導体層ASを完全に覆うよう大きくされている分、ソース電極SD1、ドレイン電極SD2とのオーバラップ面積が増え、従って寄生容量Cgsが大きくなり、画素電極電位Vsはゲート(走査)信号Vgの影響を受け易くなるという逆効果が生じる。しかし、蓄積容量Cstgを設けることによりこのデメリットも解消することができる。

【0092】《製造方法》つぎに、上述した液晶表示装置の基板SUB1側の製造方法について図12～図14を参照して説明する。なお同図において、中央の文字は工程名の略称であり、左側は図3に示す薄膜トランジスタTFT部分、右側は図7に示すゲート端子付近の断面形状でみた加工の流れを示す。工程B、工程Dを除き工程A～工程Iは各写真処理に対応して区分けしたもので、各工程のいずれの断面図も写真処理後の加工が終わりフォトレジストを除去した段階を示している。なお、写真処理とは本説明ではフォトレジストの塗布からマスクを使用した選択露光を経てそれを現像するまでの一連の作業を示すものとし、繰返しの説明は避ける。以下区分けした工程に従って、説明する。

【0093】工程A、図12

AN635ガラス(商品名)からなる下部透明ガラス基板SUB1上に膜厚が3000ÅのAl-Pd、Al-Si、Al-Ta、Al-Ti-Ta等からなる導電膜g1をスピッタリングにより設ける。写真処理後、リン酸と硝酸と冰酢酸との混酸液で導電膜g1を選択的にエッチングする。それによって、ゲート電極GT、走査信号線GL、対向電極CT、対向電圧信号線CL、電極PL1、ゲート端子GTM、共通バスラインCBの第1導電層、対向電極端子CTMの第1導電層、ゲート端子GTMを接続する陽極酸化バスラインSHg(図示せず)および陽極酸化バスラインSHgに接続された陽極酸化パッド(図示せず)を形成する。

【0094】工程B、図12

直接描画による陽極酸化マスクAOの形成後、3%酒石酸をアンモニアによりPH6.25±0.05に調整した溶液をエチレンギリコール液で1:9に稀釀した液からなる陽極酸化液中に基板SUB1を浸漬し、化成電流密度が0.5mA/cm<sup>2</sup>になるように調整する(定電流化成)。次に所定のAl<sub>2</sub>O<sub>3</sub>膜厚が得られるに必要な化成電圧125Vに達するまで陽極酸化を行う。その後この状態で数10分保持することが望ましい(定電圧化成)。これは均一なAl<sub>2</sub>O<sub>3</sub>膜を得る上で大事なことである。それによって、導電膜g1を陽極酸化され、ゲート電極GT、走査信号線GL、対向電極CT、対向電圧信号線CLおよび電極PL1上に膜厚が1800Åの陽

極酸化膜AOFが形成される。

【0095】工程C、図12

膜厚が1400ÅのITO膜からなる透明導電膜g2をスパッタリングにより設ける。写真処理後、エッチング液として塩酸と硝酸との混酸液で透明導電膜g2を選択的にエッチングすることにより、ゲート端子GTMの最上層、ドレイン端子DTMおよび対向電極端子CTMの第2導電層を形成する。

【0096】工程D、図13

プラズマCVD装置にアンモニアガス、シランガス、窒素ガスを導入して、膜厚が2200Åの窒化Si膜を設け、プラズマCVD装置にシランガス、水素ガスを導入して、膜厚が2000Åのi型非晶質Si膜を設けたのち、プラズマCVD装置に水素ガス、ホスフィンガスを導入して、膜厚が300ÅのN(+)型非晶質Si膜を設ける。

【0097】工程E、図13

写真処理後、ドライエッチングガスとしてSF6、CCl4を使用してN(+)型非晶質Si膜、i型非晶質Si膜を選択的にエッチングすることにより、i型半導体層ASの島を形成する。

【0098】工程F、図13

写真処理後、ドライエッチングガスとしてSF6を使用して、窒化Si膜を選択的にエッチングする。

【0099】工程G、図14

膜厚が600ÅのCrからなる導電膜d1をスパッタリングにより設け、さらに膜厚が4000ÅのAl-Pd、Al-Si、Al-Ta、Al-Ti-Ta等からなる導電膜d2をスパッタリングにより設ける。写真処理後、導電膜d2を工程Bと同様な液でエッチングし、導電膜d1を工程Aと同様な液でエッチングし、映像信号線DL、ソース電極SD1、ドレイン電極SD2、画素電極PX、電極PL2、共通バスラインCBの第2導電層、第3導電層およびドレイン端子DTMを短絡するバスラインSHd(図示せず)を形成する。つぎに、ドライエッチング装置にCCl4、SF6を導入して、N(+)型非晶質Si膜をエッチングすることにより、ソースとドレイン間のN(+)型半導体層d0を選択的に除去する。

【0100】工程H、図14

プラズマCVD装置にアンモニアガス、シランガス、窒素ガスを導入して、膜厚が1μmの窒化Si膜を設ける。写真処理後、ドライエッチングガスとしてSF6を使用した写真蝕刻技術で窒化Si膜を選択的にエッチングすることによって、保護膜PSV1を形成する。

【0101】《表示パネルPNLと駆動回路基板PCB1》図15は、図5等に示した表示パネルPNLに映像信号駆動回路Hと垂直走査回路Vを接続した状態を示す上面図である。

【0102】CHIは表示パネルPNLを駆動させる駆

動ICチップ(下側の5個は垂直走査回路側の駆動ICチップ、左の10個ずつは映像信号駆動回路側の駆動ICチップ)である。TCPは図16、図17で後述するように駆動用ICチップCHIがテープ・オートメイティド・ボンディング法(TAB)により実装されたテーブキャリアパッケージ、PCB1は上記TCPやコンデンサ等が実装された駆動回路基板で、映像信号駆動回路用と走査信号駆動回路用の2つに分割されている。FGPはフレームグランドパッドであり、シールドケースSHDに切り込んで設けられたバネ状の破片が半田付けされる。FCは下側の駆動回路基板PCB1と左側の駆動回路基板PCB1を電気的に接続するフラットケーブルである。フラットケーブルFCとしては図に示すように、複数のリード線(りん青銅の素材にSn鍍金を施したもの)をストライプ状のポリエチレン層とポリビニアルコール層とでサンドイッチして支持したものを使用する。

【0103】《TCPの接続構造》図16は走査信号駆動回路Vや映像信号駆動回路Hを構成する、集積回路チップCHIがフレキシブル配線基板に搭載されたテーブキャリアパッケージTCPの断面構造を示す図であり、図17はそれを液晶表示パネルの、本例では走査信号回路用端子GTMに接続した状態を示す要部断面図である。

【0104】同図において、TTBは集積回路CHIの入力端子・配線部であり、TTMは集積回路CHIの出力端子・配線部であり、例えばCuから成り、それぞれの内側の先端部(通称インナーリード)には集積回路CHIのボンディングパッドPADがいわゆるフェースダウンボンディング法により接続される。端子TTB、TTMの外側の先端部(通称アウターリード)はそれぞれ半導体集積回路チップCHIの入力及び出力に対応し、半田付け等によりCRT/TFT変換回路・電源回路SUPに、異方性導電膜ACFによって液晶表示パネルPNLに接続される。パッケージTCPは、その先端部がパネルPNL側の接続端子GTMを露出した保護膜PSV1を覆うようにパネルに接続されており、従って、外部接続端子GTM(DTM)は保護膜PSV1かパッケージTCPの少なくとも一方で覆われるので電触に対して強くなる。

【0105】BF1はポリイミド等からなるベースフィルムであり、SRSは半田付けの際半田が余計なところへつかないようマスクするためのソルダレジスト膜である。シールパターンSLの外側の上下ガラス基板の隙間は洗浄後エポキシ樹脂EPX等により保護され、パッケージTCPと上側基板SUB2の間には更にシリコーン樹脂SILが充填され保護が多重化されている。

【0106】《駆動回路基板PCB2》駆動回路基板PCB2は、IC、コンデンサ、抵抗等の電子部品が搭載されている。この駆動回路基板PCB2には、1つの電

圧源から複数の分圧した安定化された電圧源を得るための電源回路や、ホスト（上位演算処理装置）からのCRT（陰極線管）用の情報をTFT液晶表示装置用の情報に変換する回路を含む回路SUPが搭載されている。CJは外部と接続される図示しないコネクタが接続されるコネクタ接続部である。

【0107】駆動回路基板PCB1と駆動回路基板PCB2とはフラットケーブルFCにより電気的に接続されている。

【0108】《液晶表示モジュールの全体構成》図18は、液晶表示モジュールMDLの各構成部品を示す分解斜視図である。

【0109】SHDは金属板から成る枠状のシールドケース（メタルフレーム）、LCWその表示窓、PNLは液晶表示パネル、SPBは光拡散板、LCBは導光体、RMは反射板、BLはバックライト蛍光管、LCAはバックライトケースであり、図に示すような上下の配置関係で各部材が積み重ねられてモジュールMDLが組み立てられる。

【0110】モジュールMDLは、シールドケースSHDに設けられた爪とフックによって全体が固定されるようになっている。

【0111】バックライトケースLCAはバックライト蛍光管BL、光拡散板SPB光拡散板、導光体LCB、反射板RMを収納する形状になっており、導光体LCBの側面に配置されたバックライト蛍光管BLの光を、導光体LCB、反射板RM、光拡散板SPBにより表示面で一様なバックライトにし、液晶表示パネルPNL側に射出する。

【0112】バックライト蛍光管BLにはインバータ回路基板PCB3が接続されており、バックライト蛍光管BLの電源となっている。

【0113】以上、本発明を前記実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。例えば、前記実施例では、アクティブライズとしてアモルファスシリコン薄膜トランジスタTFTを使用しているが、他にポリシリコン薄膜トランジスタ、シリコンウエハ上のMOS型トランジスタ、または、MIM（Metal-In-Gate）ダイオード等の2端子素子を用いても可能である。また、少なくとも一方は透明な一对の基板、反射手段、偏光手段とから構成される反射型の液晶表示装置にも、本発明は適用できる。

【0114】

【発明の効果】以上説明したことから明らかのように、本発明による液晶表示装置によれば、画素電極と対向電極との間に透明基板と平行に発生させる電界を充分に発生させ、これにより表示の品質の向上を図ることができるようになる。

#### 【図面の簡単な説明】

【図1】本発明のアクティブライズ・マトリクス型カラー液晶表示装置の液晶表示部の一画素とその周辺を示す要部平面図である。

【図2】図1の3-3切断線における画素の断面図である。

【図3】図1の4-4切断線における薄膜トランジスタ素子TFTの断面図である。

【図4】図1の5-5切断線における蓄積容量Cstgの断面図である。

【図5】表示パネルのマトリクス周辺部の構成を説明するための平面図である。

【図6】左側に走査信号端子、右側に外部接続端子のないパネル縁部分を示す断面図である。

【図7】ゲート端子GTMとゲート配線GLの接続部近辺を示す平面と断面の図である。

【図8】ドレイン端子DTMと映像信号線DLとの接続部付近を示す平面と断面の図である。

【図9】共通電極端子CTM、共通バスラインCBおよび共通電圧信号線CLの接続部付近を示す平面と断面の図である。

【図10】本発明のアクティブライズ・マトリクス型カラー液晶表示装置のマトリクス部とその周辺を含む回路図である。

【図11】本発明のアクティブライズ・マトリクス型カラー液晶表示装置の駆動波形を示す図である。

【図12】基板SUB1側の工程A～Cの製造工程を示す画素部とゲート端子部の断面図のフローチャートである。

【図13】基板SUB1側の工程D～Fの製造工程を示す画素部とゲート端子部の断面図のフローチャートである。

【図14】基板SUB1側の工程G～Hの製造工程を示す画素部とゲート端子部の断面図のフローチャートである。

【図15】液晶表示パネルに周辺の駆動回路を実装した状態を示す上面図である。

【図16】駆動回路を構成する集積回路チップCHIがフレキシブル配線基板に搭載されたテープキャリアパッケージTCPの断面構造を示す図である。

【図17】テープキャリアパッケージTCPを液晶表示パネルPNLの走査信号回路用端子GTMに接続した状態を示す要部断面図である。

【図18】液晶表示モジュールの分解斜視図である。

【図19】本発明のブラックマトリクスのパターンの1例を示す図である。

【図20】印加電界方向、ラピング方向、偏光板透過軸の関係を示す図である。

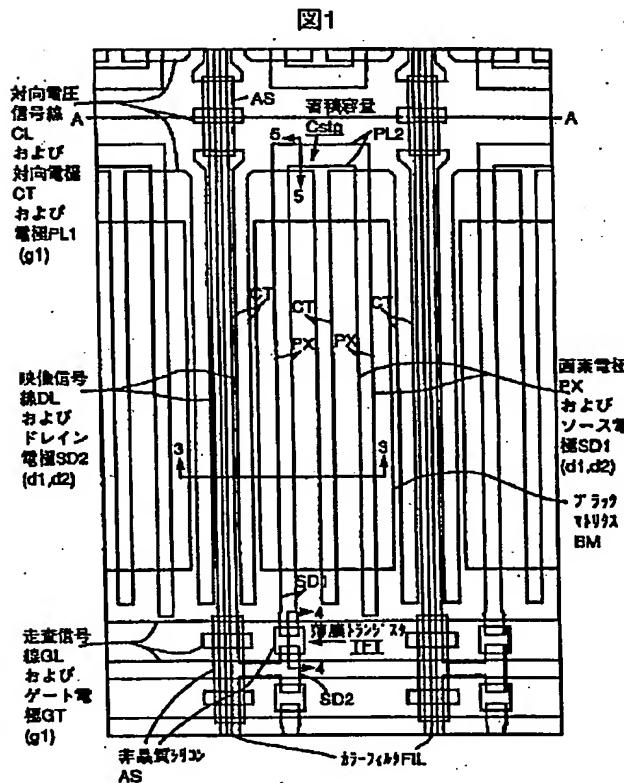
#### 【符号の説明】

SUB…透明ガラス基板、GL…走査信号線、DL…映

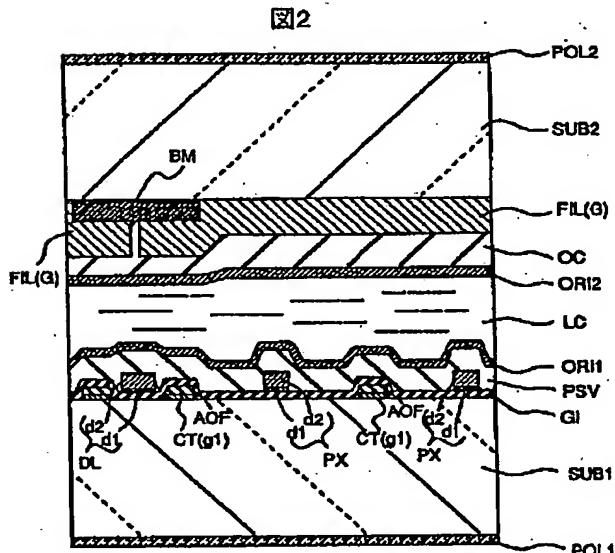
像信号線、CL…対向電圧信号線、PX…画素電極、C T…対向電極、GI…絶縁膜、GT…ゲート電極、AS…i型半導体層、SD…ソース電極またはドレイン電極、PSV…保護膜、BM…遮光膜、LC…液晶、TF T…薄膜トランジスタ、g, d…導電膜、Cstg…蓄積容量、AOF…陽極酸化膜、AO…陽極酸化マスク、G

TM…ゲート端子、DTM…ドレイン端子、CB…共通バスライン、DTM…共通電極端子、SHD…シールドケース、PNL…液晶表示パネル、SPB…光拡散板、LCB…導光体、BL…バックライト螢光管、LCA…バックライトケース、RM…反射板、(以上添字省略)。

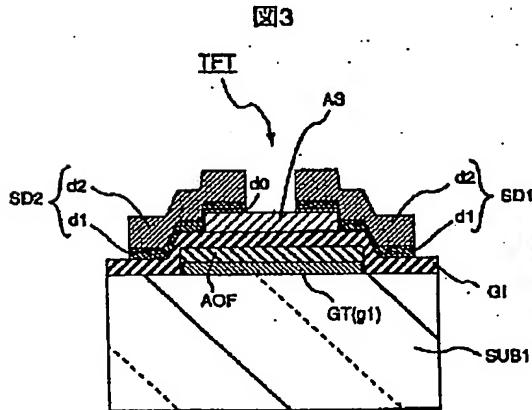
【図1】



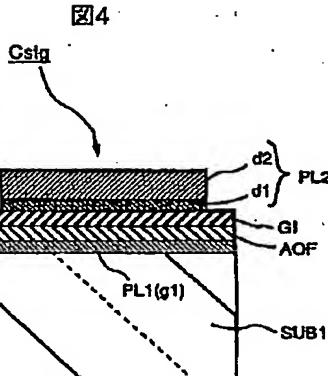
【図2】



【図3】

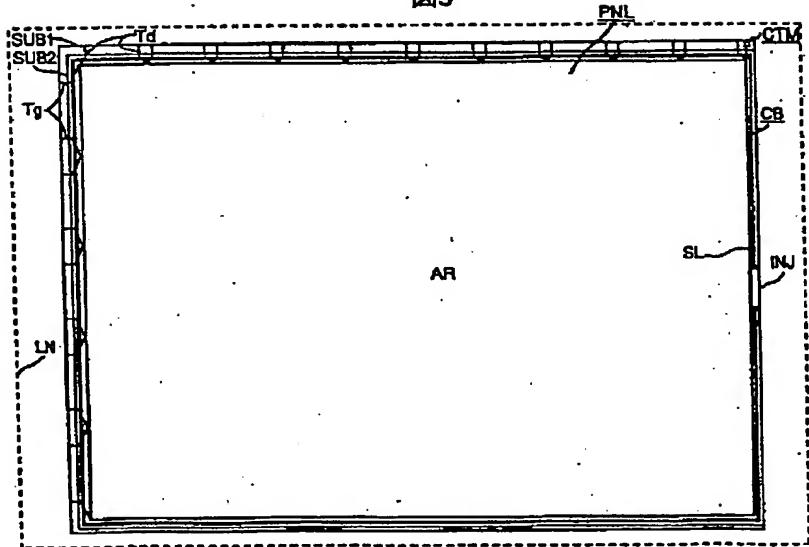


【図4】



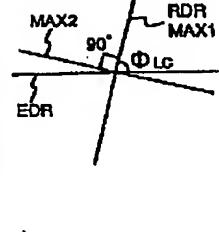
【図5】

図5



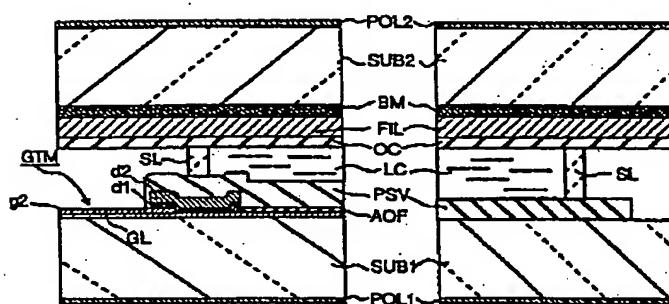
【図20】

図20



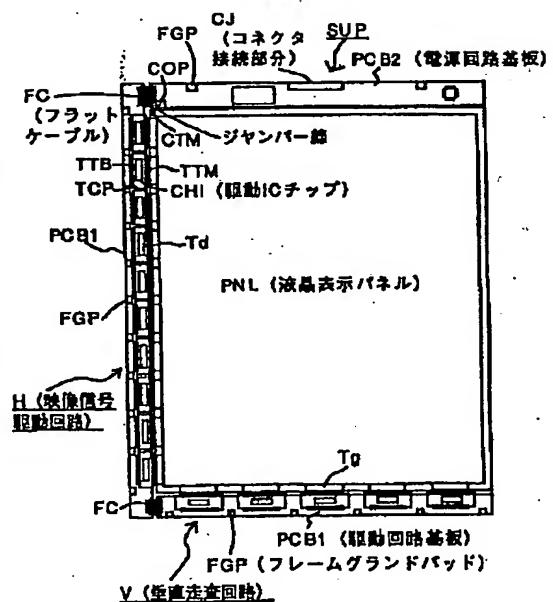
【図6】

図6



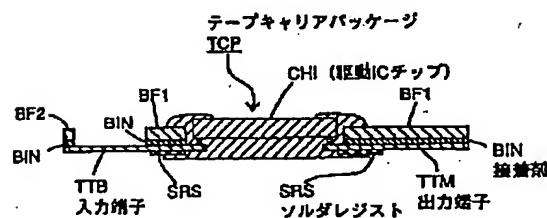
【図15】

図15



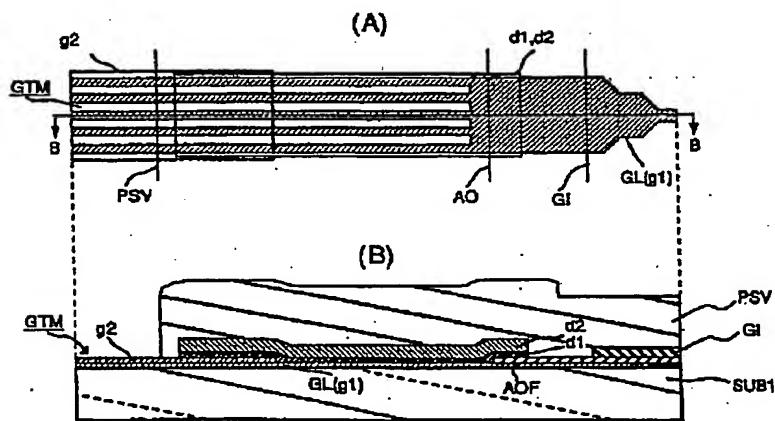
【図16】

図16



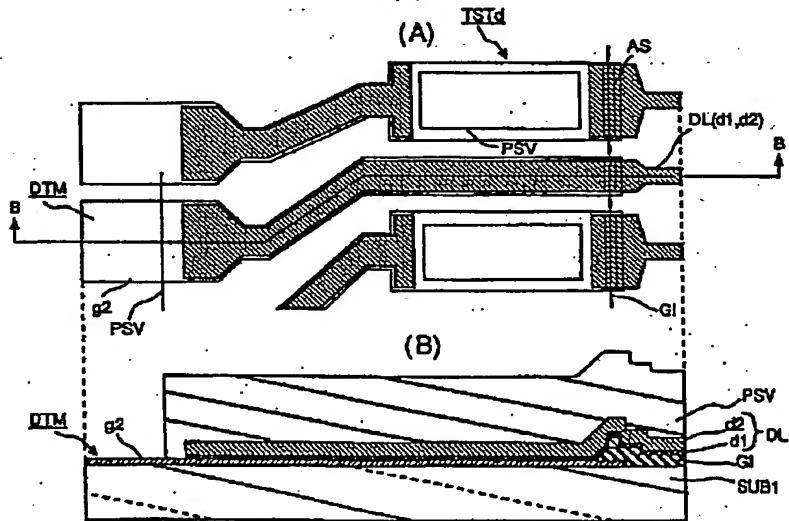
【図7】

図7



【図8】

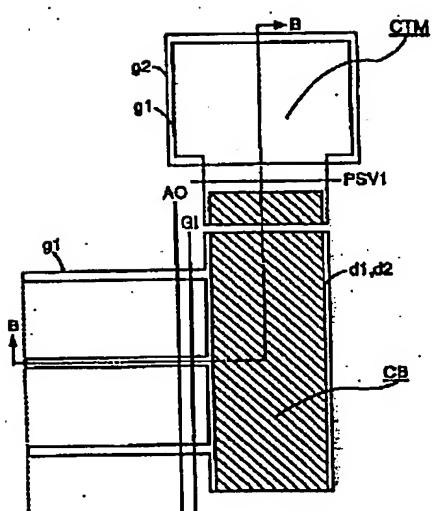
図8



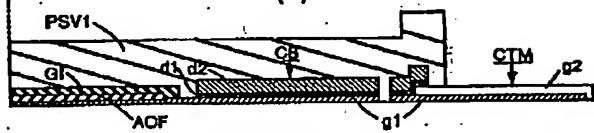
【図9】

図9

(A)

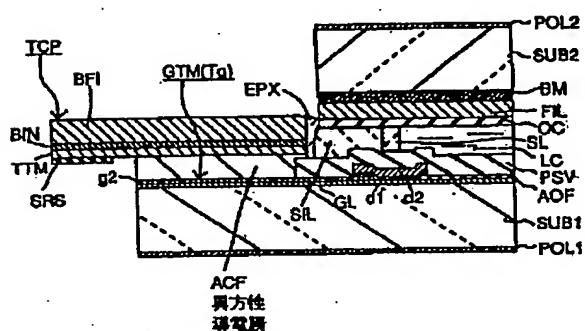


(B)



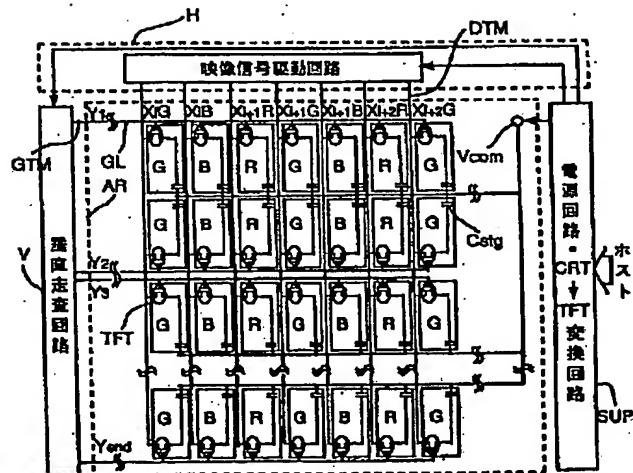
【図17】

図17



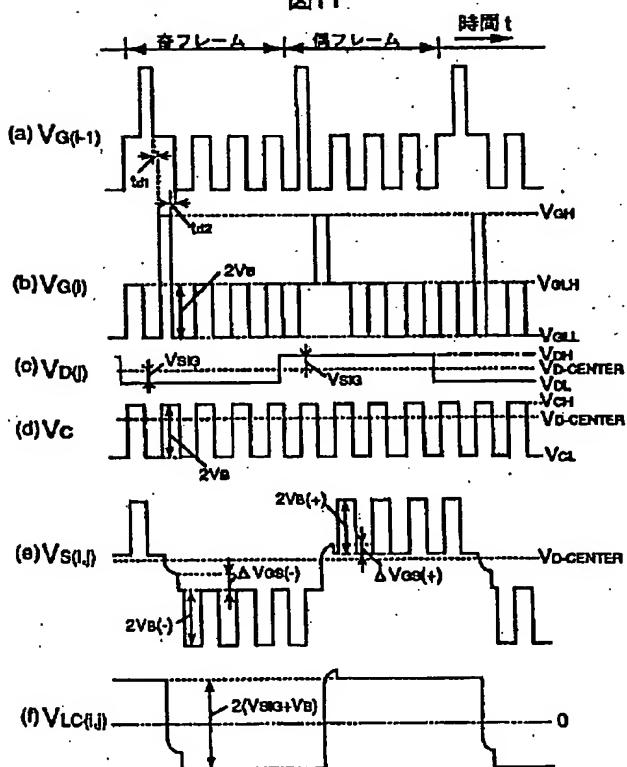
【図10】

図10



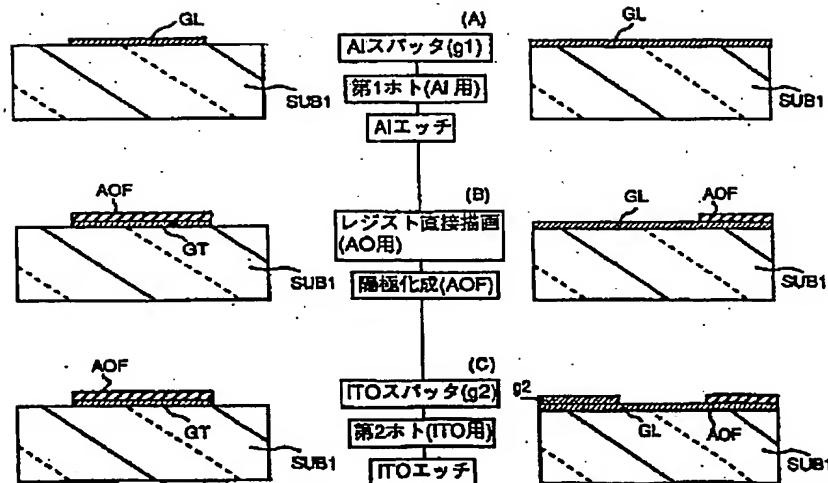
【図11】

図11



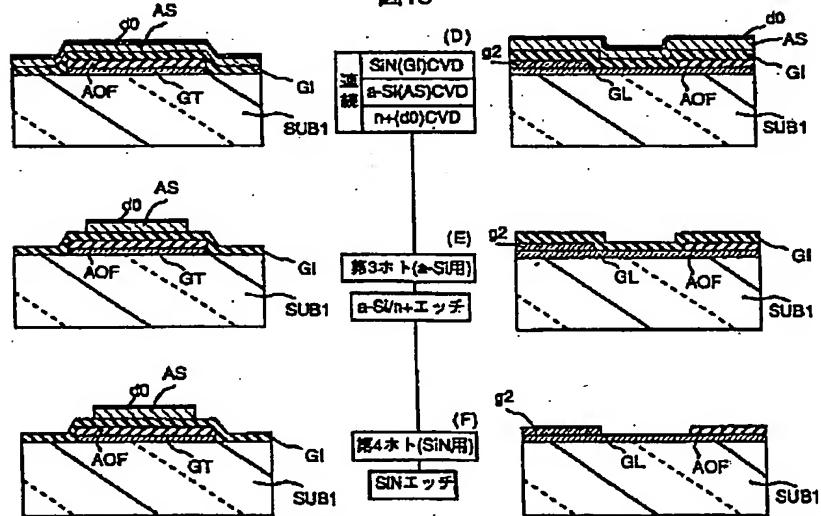
【図12】

図12



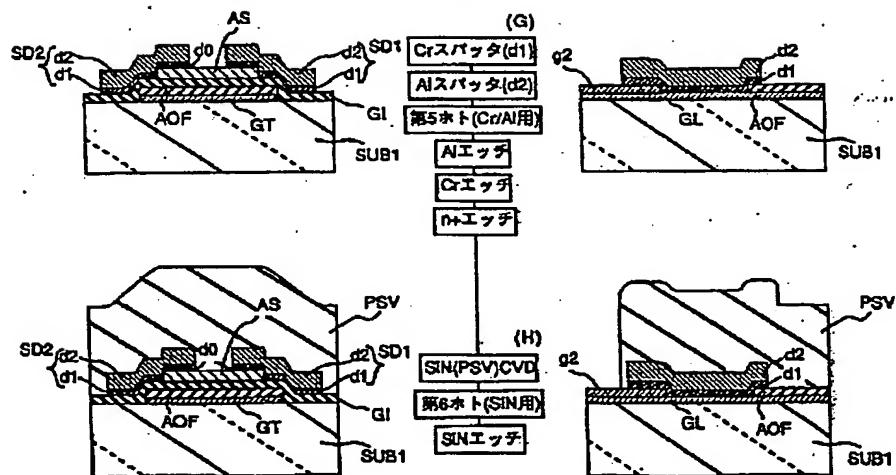
【図13】

図13



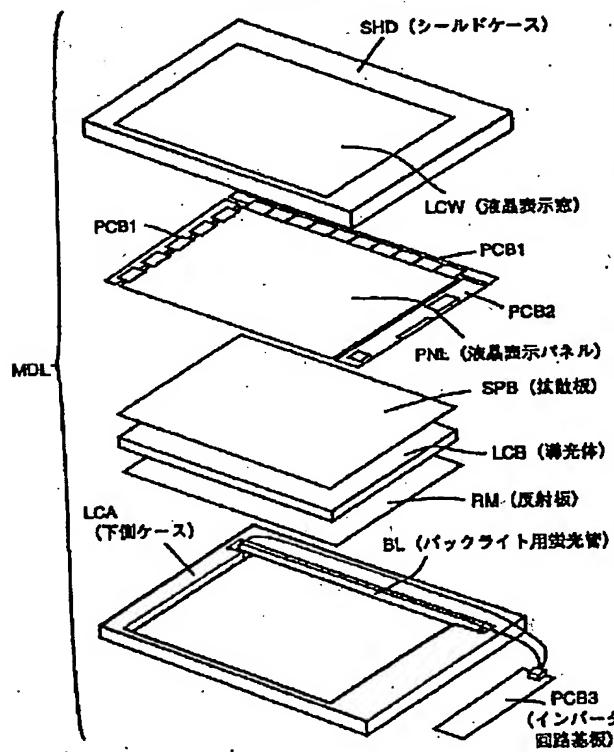
【図14】

図14



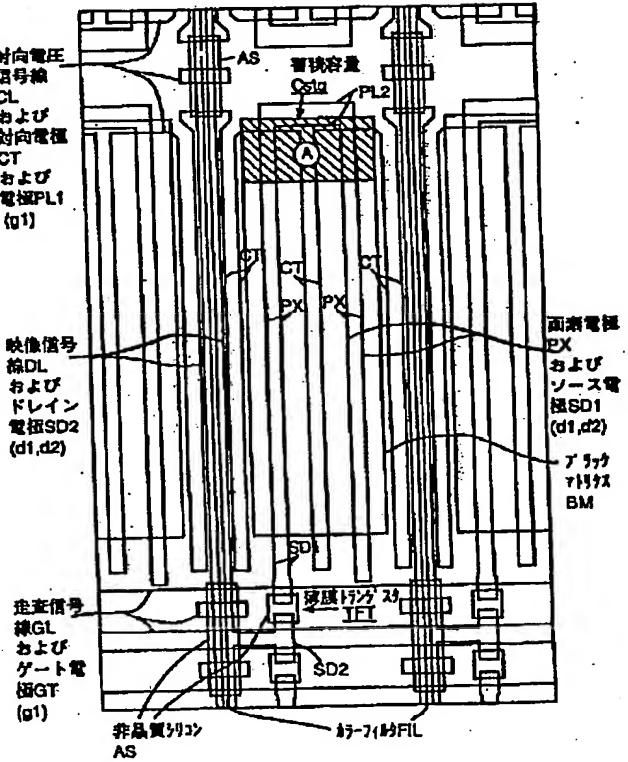
【図18】

図18



【図19】

図19



フロントページの続き

(72)発明者 三島 康之

千葉県茂原市早野3300番地 株式会社日立  
製作所電子デバイス事業部内

(72)発明者 小川 和宏

千葉県茂原市早野3300番地 株式会社日立  
製作所電子デバイス事業部内

(72)発明者 大江 昌人

千葉県茂原市早野3300番地 株式会社日立  
製作所電子デバイス事業部内

(72)発明者 近藤 克己

茨城県日立市大みか町七丁目1番1号 株  
式会社日立製作所日立研究所内

(72)発明者 箭内 雅弘

千葉県茂原市早野3300番地 株式会社日立  
製作所電子デバイス事業部内